

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-003206

(43)Date of publication of application : 08.01.1993

(51)Int.Cl. H01L 21/336
H01L 29/784

(21)Application number : 03-206769

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.08.1991

(72)Inventor : KUMAGAI JUNPEI
MIZUNO TOMOHISA

(30)Priority

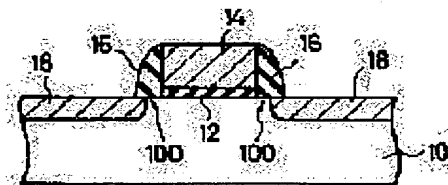
Priority number : 02229220 Priority date : 29.08.1990 Priority country : JP

(54) OFFSET GATE TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a transistor of an offset gate structure having high driving capability.

CONSTITUTION: A gate electrode 14 is formed on a gate insulator 12 above a substrate 10. Insulating films 16 are formed on sides of the gate electrode 14 on the substrate. Diffused source and drain regions 18 are formed in the substrate. Ends of the p-n junctions of the source and drain regions 18 are in contact with the interface between the insulating films 16 and the substrate. Offset regions 100 of the same conductivity type as the substrate are formed in the substrate under the insulating films 16. The insulating films 16 are composed of an insulating material having a higher dielectric constant than the gate insulator 12 so that a higher electric field may be applied to the offset regions. As a result, the offset regions can be inverted sufficiently, and the driving capability of the transistor is improved.



LEGAL STATUS

[Date of request for examination] 02.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2110720

[Date of registration] 21.11.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-3206

(43)公開日 平成5年(1993)1月8日

(51)Int.Cl.⁵

H 0 1 L 21/336

29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 0 1 L 29/ 78

3 0 1 L

審査請求 未請求 請求項の数10(全 13 頁)

(21)出願番号 特願平3-206769

(22)出願日 平成3年(1991)8月19日

(31)優先権主張番号 特願平2-229220

(32)優先日 平2(1990)8月29日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 熊谷 淳平

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 水野 智久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

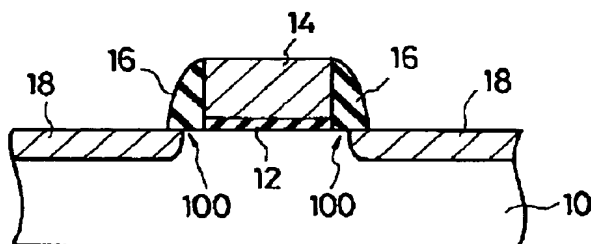
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 オフセットゲート構造トランジスタおよびその製造方法

(57)【要約】

【目的】 この発明は高駆動能力のオフセットゲート構造トランジスタとその製造方法を提供しようとするものである。

【構成】 基板(10)上には、ゲート絶縁膜(12)を介してゲート電極(14)が形成されている。基板(10)上には、ゲート電極(14)の側面に接する側壁状絶縁膜(16)が形成されている。基板(10)内には、ソース/ドレイン拡散層(18)が形成されている。このソース/ドレイン拡散層(18)のPN接合の端部は、側壁状絶縁膜(16)と基板(10)との界面に接しており、側壁状絶縁膜(16)の下に基板(10)内には、基板(10)と同じ導電型のオフセット領域(100)が形成されている。そして、この発明では、側壁状絶縁膜(16)を、ゲート絶縁膜(12)よりも高い誘電率を持つ絶縁物で構成して、オフセット領域(100)に強い電界がかかるようにしている。このようなものであると、オフセット領域(100)が十分に反転するようになるので、トランジスタの駆動能力を改善できる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、前記基板内に形成された少なくとも2つの第2導電型の半導体電極領域と、前記半導体電極領域相互間の前記基板上に絶縁手段を介し、少なくとも一方の側面を前記相互間上に配置してオフセット領域を構成するように形成されたゲート電極と、を具備し、前記ゲート電極が前記オフセット領域における基板に及ぼす第1の電界が、前記ゲート電極が該ゲート電極下における基板に及ぼす第2の電界と、同等または強くなるように構成されたことを特徴とするオフセットゲート構造トランジスタ。

【請求項2】 前記絶縁手段はゲート絶縁膜であり、前記オフセット領域上には前記ゲート絶縁膜の誘電率よりも高い誘電率を有する絶縁膜が形成されていることを特徴とする請求項1に記載のオフセットゲート構造トランジスタ。

【請求項3】 第1導電型の半導体基板と、前記基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の側面と前記基板とに接して形成された側壁状絶縁膜と、前記基板内に形成され、前記側壁状絶縁膜と前記基板との界面にPN接合の端部を接して前記側壁状絶縁膜下の基板内にオフセット領域を構成する第2導電型の半導体電極領域と、を具備し、前記ゲート電極が前記オフセット領域における基板に及ぼす第1の電界が、前記ゲート電極が該ゲート電極直下における基板に及ぼす第2の電界と、同等または強くなるように構成されたことを特徴とするオフセットゲート構造トランジスタ。

【請求項4】 前記側壁状絶縁膜は、前記ゲート絶縁膜の誘電率よりも高い誘電率を有するもので成ることを特徴とする請求項3に記載のオフセットゲート構造トランジスタ。

【請求項5】 前記側壁状絶縁膜と前記基板との間に形成された第1の絶縁膜を、さらに具備し、前記第1の絶縁膜は、前記ゲート絶縁膜と同じ絶縁物で成り、かつ前記ゲート絶縁膜の膜厚より薄い膜厚を有することを特徴とする請求項3あるいは請求項4に記載のオフセットゲート構造トランジスタ。

【請求項6】 前記側壁状絶縁膜と前記基板との間から前記側壁状絶縁膜と前記ゲート電極の側面との間にかけて形成された第2の絶縁膜を、さらに具備し、前記第2の絶縁膜は、前記ゲート絶縁膜と同じ絶縁物で成り、かつ前記ゲート絶縁膜の膜厚より薄い膜厚を有することを特徴とする請求項3あるいは請求項4に記載のオフセットゲート構造トランジスタ。

【請求項7】 前記第2の絶縁膜は、前記ゲート絶縁膜より高い誘電率を有する絶縁物で成ることを特徴とする請求項6に記載のオフセットゲート構造トランジスタ。

【請求項8】 第1導電型の基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に導電体を形成する

工程と、前記導電体をパターンニングしてゲート電極を得る工程と、前記基板上に前記ゲート電極の側面に接し、かつ前記第1の絶縁膜より高い誘電率を有する絶縁物より成る側壁状の第2の絶縁膜を形成する工程と、前記第2の絶縁膜および前記ゲート電極をマスクに前記基板内に第2導電型の不純物を導入する工程と、前記導入された不純物を活性化し、前記基板内に第2導電型の半導体電極領域を得る工程と、を具備することを特徴とするオフセットゲート構造トランジスタの製造方法。

【請求項9】 前記ゲート電極を得る工程と前記第2の絶縁膜を得る工程との間に、前記基板上および前記ゲート電極上に、前記ゲート絶縁膜より薄い膜厚を有する第3の絶縁膜を形成する工程、をさらに具備することを特徴とする請求項8に記載のオフセットゲート構造トランジスタの製造方法。

【請求項10】 前記ゲート電極を得る工程と前記第2の絶縁膜を得る工程との間に、前記ゲート電極をマスクに前記第1の絶縁膜をその途中までエッチングする工程を具備することを特徴とする請求項8に記載のオフセットゲート構造トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はオフセットゲート構造トランジスタに係わり、特に駆動能力を改善できるオフセットゲート構造トランジスタとその製造方法に関する。

【0002】

【従来の技術】 MOSFETは、そのチャネル長が短くなるとショートチャネル効果を生じ、しきい値等が変動する。このショートチャネル効果の低減をねらったMOSFETの構造として、ソース/ドレイン拡散層のうち、特にゲート電極近傍の不純物濃度を低下させた“LDD (Lightly Doped Drain) 構造”が広く知られている。

【0003】 LDD構造を有したMOSFETでは、特にゲート電極近傍の拡散層の端部の不純物濃度が低いことにより、拡散層の端部での電界の緩和が図られ、ショートチャネル効果が低減し、耐圧も向上する。

【0004】 しかし、上記のようなLDD構造MOSFETでも、素子微細化が進むに連れ、耐圧の劣化が目立ち始めてきた。その耐圧の劣化は、ゲート長が0.6～0.4μm程度以下となると、特に著しい。

【0005】 この問題を解決するために、チャネル領域に、ソース/ドレイン拡散層とゲート電極とが、互いにオーバーラップしない部分を形成した“オフセットゲート構造”が提案されている。

【0006】 オフセット領域は基板と同じ導電型であり、かつその上にはゲート電極が形成されない。したがって、オフセット領域は反転しにくく高抵抗である。このため、オフセットゲート構造MOSFETは、十分に

大きいドレイン電流を流せず、回路を構成した際、後段に接続されたトランジスタを十分に駆動させることが困難である。即ち、オフセットゲート構造MOSFETは駆動能力が乏しい。

【0007】

【発明が解決しようとする課題】以上のように、従来のオフセットゲート構造トランジスタは、チャネル領域に高抵抗なオフセット領域があるために駆動能力が乏しいという問題があった。この発明は上記の点に鑑みなされたもので、その目的は、高駆動能力なオフセットゲート構造トランジスタとその製造方法を提供することにある。

【0008】

【課題を解決するための手段】この発明に係わるオフセットゲート構造トランジスタは、ゲート電極がオフセット領域に及ぼす電界を、ゲート電極下の基板に及ぼす電界と同等または強くすることにより、オフセット領域を十分に反転できる構成とした。具体的には、オフセット領域上に形成される絶縁膜を、ゲート絶縁膜より高い誘電率を有する絶縁物で構成する。

【0009】

【作用】上記構成のオフセットゲート構造トランジスタにあつては、ゲート電極がオフセット領域に及ぼす電界を、ゲート電極下の基板に及ぼす電界と同等または強くすることにより、オフセット領域を十分に反転できるようになる。このため、オフセット領域における抵抗が減ずるようになり、駆動能力を改善できる。

【0010】また、オフセット領域上に形成される絶縁膜を、ゲート絶縁膜より高い誘電率を有する絶縁物で構成することにより、ゲート電極の電位をオフセット領域に効率よく伝えられるようになる。この結果、ゲート電極がオフセット領域に及ぼす電界を、ゲート電極下の基板に及ぼす電界と同等または強くすることができる。

【0011】また、オフセット領域上に形成される絶縁膜と基板との間に、ゲート絶縁膜と同じ絶縁物で成る絶縁膜をさらに形成することにより、ゲート電極とオフセット領域との間の絶縁性が高められる。そして、この絶縁膜の膜厚をゲート絶縁膜の膜厚より薄くすることにより、上記と同様に、ゲート電極がオフセット領域に及ぼす電界を、ゲート電極下の基板に及ぼす電界と同等または強くすることができる。

【0012】

【実施例】以下、この発明を図面を参照して、実施例により説明する。なお、この説明において、全図にわたり、共通部分には共通の参照符号を用いることで、重複説明を避けることにする。図1は、この発明の第1の実施例に係わるオフセットゲート構造MOSFETの断面図である。

【0013】図1に示すように、例えばp型シリコン基板10上には、例えばシリコン酸化膜から成るゲート絶

縁膜12が形成されている。このゲート絶縁膜12上には、例えばポリシリコン膜から成るゲート電極14が形成されている。ゲート電極14の側面上には、高誘電体材料、例えばシリコン窒化膜から成るサイドウォール16が形成されている。基板10内にはオフセット領域100が形成されるように、n型ソース／ドレイン拡散層（電極領域）18が形成されている。

【0014】図2は、この発明の第1の実施例に係わるMOSFETのn型ソース／ドレイン拡散層18相互間における、基板10への電界のかかりかたを説明する図である。図3は、この発明の第1の実施例に係わるMOSFETの等価回路である。図2中の縦軸は、基板10に垂直な方向の電界 ϵx の強度を示している。

【0015】図2に示すように、この発明に係わるオフセットゲート構造MOSFETでは、サイドウォール16が、ゲート絶縁膜12を構成する絶縁体の誘電率よりも、高い誘電率を持つ絶縁体で構成されることにより、このサイドウォール16下の基板にかかる電界を、ゲート電極14下の基板にかかる電界より、強くできる。これにより、オフセット領域100を、十分に反転させることができる。従つて、MOSFETの電流経路上に、オフセット領域を有していても、この発明によれば、十分なドレイン電流を流せ、駆動能力は劣化しない。

【0016】この発明に係わるオフセットゲート構造MOSFETを等価回路で表すと、図3のようになる。Tr1はゲート絶縁膜12をゲート絶縁膜とするトランジスタで、Tr2はサイドウォール16をゲート絶縁膜とする寄生的なトランジスタである。Tox1はTr1のゲート絶縁膜の厚さを、Tox2はTr2の見掛け上のゲート絶縁膜の厚さをそれぞれ示している。

【0017】この発明によれば、見かけ上のゲート絶縁膜の厚さTox2を、Tox1と同等、あるいはそれ以下とできる。この結果、特にオフセット領域における電界を高めることができる。次に、この発明の第1の実施例に係わるMOSFETの製造方法について、図4～図7を参照して説明する。図4～図7はそれぞれ、この発明の第1の実施例に係わるMOSFETを製造工程順に示した断面図である。

【0018】先ず、図4に示すように、p型シリコン基板10上に、ゲート絶縁膜12となる例えばシリコン酸化膜を、熱酸化法により、形成する。次いで、全面に、ゲート電極となるポリシリコン膜を、例えばCVD法により形成する。次いで、例えば写真蝕刻技術を用いて、ポリシリコン膜、シリコン酸化膜を順次エッチングし、ゲート絶縁膜12およびゲート電極14を得る。

【0019】次いで、図5に示すように、全面に、サイドウォール16となる例えばシリコン窒化膜を、CVD法により、形成する。次いで、例えば異方性エッチングであるRIE法により、シリコン窒化膜を、エッチングする。これにより、ゲート電極14の側面上にシリコン

窒化膜が残され、サイドウォール16が得られる。

【0020】次いで、図6に示すように、ゲート電極14およびサイドウォール16等をマスクに、n型不純物イオン、例えばPイオンあるいはAsイオン等を、基板10内に注入する。不純物イオンが注入された領域には図中、参照符号17を付す。次いで、図7に示すように、例えば熱処理等を行って、注入された不純物イオンを活性化させ、ソース/ドレイン拡散層18を得る。以上の工程により、第1の実施例に係わるMOSFETが形成される。

【0021】次に、この発明に係わるオフセットゲート構造MOSFETとLDD構造MOSFETとをそれぞれ、同一基板上に形成した半導体装置について、その製造方法とともに説明する。

【0022】図8～図11はそれぞれ、この発明に係わるオフセットゲート構造MOSFETとLDD構造MOSFETとを、同一基板上に形成した半導体装置を製造工程順に示す断面図である。

【0023】図8に示すように、表面濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上のp型シリコン基板10の表面領域上に、例えばLOCOS法により、素子分離領域11を形成する。次いで、分離された素子領域の表面上に、ゲート絶縁膜12A、12Bとなる例えば膜厚が1600オングストローム以下のシリコン酸化膜を熱酸化法により形成する。次いで、全面に、ゲート電極14A、14Bとなるポリシリコン膜を、例えばCVD法により、形成する。次いで、例えば写真蝕刻技術を用いて、ポリシリコン膜、シリコン酸化膜を順次エッチングし、ゲート絶縁膜12、ゲート電極14A、14Bをそれぞれ得る。

【0024】次いで、図9に示すように、全面に、ホトレジスト20を塗布する。次いで、このホトレジスト20に、写真蝕刻技術により、LDD構造MOSトランジスタ形成領域が露出する窓21を形成する。次いで、ホトレジスト20、及びゲート電極14B等をマスクに、n型不純物イオン、例えばPイオンあるいはAsイオン等を、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ 以上の条件で基板10内に注入する。イオンが注入された領域には図中、参照符号22を付す。

【0025】次いで、図10に示すように、ホトレジスト20を、基板10上から除去する。次いで、全面に、サイドウォール16A、16Bとなる例えばシリコン窒化膜を、CVD法により、形成する。次いで、例えば異方性エッチングであるRIE法により、シリコン窒化膜をエッチングする。これにより、ゲート電極14A、14Bのそれぞれの側面上に、シリコン窒化膜が残され、サイドウォール16A、16Bが得られる。次いで、ゲート電極14A、14B、素子分離領域11等をマスクに、n型不純物イオン、例えばPイオンあるいはAsイオン等を、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 以上の条件で基板10内に注入する。イオンが注入された領域には図中、

参照符号17A、17Bを付す。次いで、図11に示すように、例えば熱処理等を行って、注入された不純物イオンを活性化させ、ソース/ドレイン拡散層18A、18Bを得る。

【0026】以上の工程により、この発明に係わるオフセットゲート構造MOSFETとLDD構造MOSFETとをそれぞれ、同一の基板上に形成した半導体装置が形成される。

【0027】上記のように、この発明に係わるオフセットゲート構造MOSFETは、LDD構造MOSFETとの混載が可能である。その製造に際し、増加する工程は、図9に示す工程だけである。しかし、この工程は、集積回路をCMOSにより構成した半導体装置の場合、反対導電型トランジスタをマスクする工程と兼ねることができる。これにより、この発明のオフセットゲート構造トランジスタを、CMOS型の半導体装置に形成する場合には、工程の増加はない。上記構成の半導体装置では、2つのトランジスタの特性、特徴等をそれぞれ生かし、例えば、次のような使用状態をとることが好ましい。

【0028】例えば微細化が必要な箇所には、この発明に係わるオフセットゲート構造MOSFETを使用する。例えば半導体記憶装置を例にとると、メモリセル等が微細化が必要な箇所となる。

【0029】又、微細化の要望は特にはないが、高駆動能力なトランジスタを必要とする箇所には、LDD構造MOSFETを使用する。同様に半導体記憶装置を例にとると、周辺回路等が高駆動能力なトランジスタを必要とする箇所となる。

【0030】又、高耐圧なトランジスタを必要とする箇所には、この発明に係わるオフセットゲート構造MOSFETを使用する。同様に半導体記憶装置を例にとると、入出力バッファ等が高耐圧なトランジスタを必要とする箇所となる。次に、図12～図16を参照して、この発明の第2の実施例に係わるMOSFETについて説明する。図12は、この発明の第2の実施例に係わるMOSFETの断面図である。

【0031】図12に示すように、第2の実施例に係わるMOSFETは、サイドウォール16の側面上に、さらに第2のサイドウォール30を有し、オフセット領域100とともに、LDD領域32をさらに有するものである。

【0032】上記構成のMOSFETによれば、オフセット領域100のみを持つMOSFETよりも、耐圧が高まる。そして、第1の実施例同様、サイドウォール16を、ゲート絶縁膜12を構成する絶縁体の誘電率より、高い誘電率を持つ絶縁体にて構成することにより、駆動能力の低下を防げる。図13～図16はそれぞれ、この発明の第2の実施例に係わるMOSFETを製造工程順に示す断面図である。

【0033】まず、図13に示すように、表面濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上のp型シリコン基板10上に、図4に示す工程と同様な方法により、膜厚が160オングストローム以下のシリコン酸化膜からなるゲート絶縁膜12、及びゲート電極14をそれぞれ形成する。

【0034】次いで、図14に示すように、図5に示す工程と同様な方法により、シリコン窒化膜からなるサイドウォール16を、ゲート電極14の側壁上に形成する。次いで、ゲート電極14及びサイドウォール16等をマスクに、n型不純物イオン、例えばPイオンあるいはAsイオン等を、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ 以上の条件で基板10内に注入する。イオンが注入された領域には図中、参照符号31を付す。

【0035】次いで、図15に示すように、全面に、第2のサイドウォール30となる例えばシリコン窒化膜をCVD法により、形成する。次いで、例えば異方性エッチングであるRIE法により、シリコン窒化膜をエッチングし、サイドウォール16の側面上にシリコン窒化膜を残し、第2のサイドウォール30を得る。次いで、ゲート電極14及び第2のサイドウォール30をマスクに、n型不純物イオン、例えばPイオンあるいはAsイオン等を、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 以上の条件で基板10内に注入する。この時のドーズ量は、LDD構造を実現するため、図14に示す工程におけるイオン注入のドーズ量より、高める。イオンが注入された領域には図中、参照符号17を付す。次いで、図16に示すように、例えば熱処理等を行って、注入された不純物イオンを活性化し、ソース/ドレイン拡散層18、並びにLDD領域32を得る。以上の工程により、第2の実施例に係わるMOSFETが製造される。

【0036】尚、第2のサイドウォール30は、上記実施例のように、シリコン窒化膜等の高誘電体材料により形成するのが望ましい。しかし、オフセット領域100はサイドウォール16下の基板10内に形成されるので、少なくともサイドウォール16のみが高誘電体材料により形成されれば良い。次に、図17～図22を参照して、この発明の第3の実施例に係わるMOSFETについて説明する。図17は、この発明の第3の実施例に係わるMOSFETの断面図である。

【0037】図17に示すように、第3の実施例に係わるMOSFETは、シリサイド（自己整合的シリサイド）技術を用いて、ソース/ドレイン拡散層18内に、低抵抗なn型シリサイド領域40を形成したものである。ソース/ドレイン拡散層18の表面領域内には、ソース/ドレイン拡散層18に対して自己整合的に形成されたシリサイド領域40がそれぞれ形成されている。尚、ゲート電極14の露出した表面領域内にも、シリサイド化されたシリサイド領域42が形成されている。

【0038】上記構成の第3の実施例に係わるMOSFETによれば、低抵抗なn型シリサイド領域40を、低

不純物濃度のソース/ドレイン拡散層18が囲む構成となるため、第1の実施例に係わるMOSFETよりも、耐圧が高まる。

【0039】もちろんながら、第1の実施例同様、オフセット領域100の上方には、ゲート絶縁膜12を構成する絶縁体の誘電率よりも、高い誘電率を持つ絶縁体により、サイドウォール16を形成するので、駆動能力が低下することはない。図18～図22はそれぞれ、この発明の第3の実施例に係わるMOSFETを製造工程順に示す断面図である。

【0040】まず、図18に示すように、p型シリコン基板10上に、図4に示す工程と同様な方法により、シリコン酸化膜からなるゲート絶縁膜12、及びゲート電極14をそれぞれ形成する。

【0041】次いで、図19に示すように、図5に示す工程と同様な方法により、シリコン窒化膜からなるサイドウォール16を形成する。次いで、ゲート電極14及びサイドウォール16等をマスクに、n型不純物イオン、例えばPイオンあるいはAsイオン等を基板10内に注入する。イオンが注入された領域には図中、参照符号17を付す。次いで、図20に示すように、全面に、例えばスパッタ法により、高融点金属である例えばタングステン膜44を形成する。

【0042】次いで、図21に示すように、例えば熱処理を行うと、タングステン膜44から、タングステン原子が、シリコン中に移動する。タングステン原子を含むシリコン領域には、参照符号39、41を付す。

【0043】次いで、図22に示すように、図21の工程から引き続いて熱処理を行う、あるいはタングステン膜44を除去してから、再度、熱処理を行うことにより、タングステン原子を含むシリコン領域39、41を、シリサイド化し、シリサイド領域40、42を得る。また、これと同時に、注入された不純物イオンが活性化され、ソース/ドレイン拡散層18が得られる。以上の工程により、第3の実施例に係わるMOSFETが形成される。次に、図23～図27を参照して、この発明の第4の実施例に係わるMOSFETについて説明する。図23は、この発明の第4の実施例に係わるMOSFETの断面図である。

【0044】図23に示すように、ゲート電極14の側面上には、絶縁膜48が形成されている。この絶縁膜48は基板10の表面上にも形成されている。サイドウォール16は絶縁膜48上に形成されている。

【0045】このような構成の場合、絶縁膜48の膜厚とゲート絶縁膜12の膜厚との関係を、次のようにすると、第1～第3の実施例と同様、オフセット領域100を十分に反転できる効果が得られる。すなわち、ゲート絶縁膜12の誘電率を ϵ_1 、その膜厚を T_1 とし、絶縁膜48の誘電率を ϵ_2 、その基板上の膜厚を T_2 、およびゲート電極側面上の膜厚を T_3 とそれぞれ仮定した場

合、

$$T1/\epsilon_1 \geq (T2+T3)/\epsilon_2$$

$$T1/(T2+T3) \geq \epsilon_1/\epsilon_2$$

… (1)

とすれば良い。ゲート絶縁膜12および絶縁膜48それぞれに、具体的な絶縁物を仮定をして計算すると次のようになる。ゲート絶縁膜12がシリコン酸化膜、絶縁膜48がシリコン窒化膜でそれぞれ形成されている場合、シリコン酸化膜の誘電率を、3.9と仮定すると、

$$T1/3.9 \geq (T2+T3)/3.9$$

$$T1 \geq T2+T3$$

(2)

【0046】また、ゲート絶縁膜12がシリコン酸化膜、絶縁膜48がシリコン窒化膜でそれぞれ形成されている場合、シリコン酸化膜の誘電率を3.9、シリコン窒化膜の誘電率を7.8と仮定すると、

$$T1/3.9 \geq (T2+T3)/7.8$$

$$2 \cdot T1 \geq T2+T3$$

… (3)

【0047】尚、この実施例では、100オングストロームの膜厚を有するシリコン酸化膜でゲート絶縁膜12を形成し、40オングストロームの膜厚を有するシリコン酸化膜で絶縁膜48を形成した。また、サイドウォール16は、シリコン窒化膜で形成した。上記構成のMOSFETであると、ゲート電極14とオフセット領域100との絶縁性が高まるようになる。図24～図27はそれぞれ、この発明の第4の実施例に係わるMOSFETを製造工程順に示す断面図である。

【0048】まず、図24に示すように、p型シリコン基板10上に、図4に示す工程と同様な方法により、100オングストロームの膜厚を有するシリコン酸化膜からなるゲート絶縁膜12、及びポリシリコンからなるゲート電極14をそれぞれ形成する。次いで、図25に示すように、基板10の表面、およびゲート電極14の表面を熱酸化し、40オングストロームの膜厚を有する酸化膜48を得る。

【0049】次いで、図26に示すように、図5に示す工程と同様な方法により、ゲート電極14の側面上に、シリコン窒化膜からなるサイドウォール16を形成する。次いで、ゲート電極14、およびサイドウォール16をマスクに、n型不純物イオン、例えばPあるいはAsを基板10内に注入する。次いで、図27に示すように、不純物を活性化させ、ソース/ドレイン拡散層18を得る。以上の工程により、第4の実施例に係わるMOSFETが形成される。次に、図28～図33を参照して、この発明の第5の実施例に係わるMOSFETについて説明する。図28は、この発明の第5の実施例に係わるMOSFETの断面図である。

【0050】図28に示すように、サイドウォール16の直下に、例えばゲート絶縁膜12と同じ材料からなる

絶縁膜50を残すようにしても良い。但し、この場合、ゲート絶縁膜12の膜厚T1よりも絶縁膜50の膜厚T2が薄くないと、ゲート電極14がオフセット領域100に及ぼす電界が強化されない。図29～図33はそれぞれ、この発明の第5の実施例に係わるMOSFETを製造工程順に示す断面図である。

【0051】まず、図29に示すように、p型シリコン基板10上に、ゲート絶縁膜となるシリコン酸化膜12を形成する。次いで、シリコン酸化膜12上に、CVD法により、ポリシリコンを堆積し、ポリシリコン層14'を得る。次いで、ポリシリコン層14'上に、ホトレジストパターン52を形成する。

【0052】次いで、図30に示すように、ホトレジストパターン52をマスクに、ポリシリコン層14'をCF₄ガスをを用いたRIE法により、エッチングし、ゲート電極14を得る。

【0053】次いで、図31に示すように、さらに、RIE法によるエッチングを続行し、シリコン酸化膜12をエッチングする。これにより、ゲート電極14下のシリコン酸化膜12の膜厚T1よりも、薄い膜厚T2を有するシリコン酸化膜50が得られる。

【0054】次いで、図32に示すように、図5に示す工程と同様な方法により、ゲート電極14の側面上に、シリコン窒化膜からなるサイドウォール16を形成する。次いで、ゲート電極14、およびサイドウォール16をマスクに、n型不純物イオン、例えばPあるいはAsを基板10内に注入する。次いで、図33に示すように、不純物を活性化させ、ソース/ドレイン拡散層18を得る。以上の工程により、第5の実施例に係わるMOSFETが形成される。

【0055】尚、上記実施例では、図30に示すRIEと図31に示すRIEとで、エッチングガスを同じものとしたが、図30に示すRIEと図31に示すRIEとでそれぞれ、エッチングガスを変えるようにしても良い。例えば図30に示すRIEではCF₄ガスをを用いてポリシリコンをエッチングし、図31に示すRIEではCHF₃ガスをを用いてシリコン酸化膜をエッチングするようにしても良い。次に、図34～図40を参照して、この発明の第6の実施例に係わるMOSFETについて説明する。

【0056】図34は、この発明の第6の実施例に係わるMOSFETの断面図、図35は、この発明の第6の実施例に係わるMOSFETのその他の態様を示す断面図である。

【0057】図34および35に示すように、第6の実施例に係わるMOSFETは、ゲート電極14の側面にテーパをつける。そして、ゲート電極14の側面の下に、ゲート絶縁膜12より誘電率の高い絶縁膜でなるサイドウォール70をオーバーラップさせたものである。図36～図40はそれぞれ、この発明の第6の実施例に係

11

わるMOSFETを製造工程順に示す断面図である。

【0058】まず、図36に示すように、p型シリコン基板10上に、ゲート絶縁膜となるシリコン酸化膜12を形成する。次いで、シリコン酸化膜上に、図30に示す工程と方法と同様な方法によりゲート電極14を形成する。

【0059】次いで、図37に示すように、ゲート電極14の表面を熱酸化し、酸化膜54を得る。この時、酸化は、ゲート電極14とシリコン酸化膜12との界面に沿って進むため、酸化膜54には、円56内に示すようなバズビーク状の部分が形成される。

【0060】次いで、図38に示すように、シリコン酸化膜12および54を、ゲート電極14をマスクに、エッチングする。この時、円58内に示すような、ゲート電極14が、シリコン酸化膜12上にオーバーハングする部分が形成される。

【0061】次いで、図39に示すように、シリコン窒化膜を、LPCVD法により、リザルトラントストラクチャ上に堆積する。この時、LPCVD法を用いることにより、ゲート電極14と基板10との間58は、窒化膜で埋め込まれる。次いで、RIE法により、窒化膜をエッチングし、サイドウォール70を得る。次いで、ゲート電極14、およびサイドウォール70をマスクに、n型不純物イオン、例えばPあるいはAsを基板10内に注入する。次いで、図40に示すように、イオンを活性化し、ソース/ドレイン拡散層18を得る。以上の工程により、第6の実施例に係わるMOSFETが形成される。尚、サイドウォール70とゲート電極14およびシリコン基板10の表面との間に、第4の実施例で説明したような薄い絶縁膜を挟むようにしても良い。次に、図41～図46を参照して、この発明の第7の実施例に係わるMOSFETについて説明する。図41は、この発明の第7の実施例に係わるMOSFETの第1の態様を示す断面図である。

【0062】図41に示すように、第7の実施例に係わるMOSFETは、この発明を、n型ソース/ドレイン拡散層18相互間を、これら拡散層18と同一導電型の拡散層60で接続し、埋込みチャネル型MOSFETとしたものである。図42～図46はそれぞれ、この発明の第7の実施例に係わるMOSFETの第2～第6の態様を示す断面図である。すなわち、図42は、第2の実施例で説明したMOSFETを、埋込みチャネル型とした場合の断面図である。同様に、図43は、第3の実施例で説明したMOSFETを、埋込みチャネル型とした場合の断面図である。図44は、第4の実施例で説明したMOSFETを、埋込みチャネル型とした場合の断面図である。図45は、第5の実施例で説明したMOSFETを、埋込みチャネル型とした場合の断面図である。図46は、第6の実施例で説明したMOSFETを、埋込みチャネル型とした場合の断面図である。

12

【0063】図41～図46それぞれに示すMOSFETにおいても、サイドウォール16、70を、ゲート絶縁膜12を構成する絶縁体の誘電率より、高い誘電率を持つ絶縁体で構成することにより、その駆動能力を改善することができる。次に、図47～図52を参照して、この発明の第8の実施例に係わるMOSFETについて説明する。図47は、この発明の第8の実施例に係わるMOSFETの第1の態様を示す断面図である。

【0064】図47に示すように、第8の実施例に係わるMOSFETは、この発明を、オフセットゲート構造に加え、EPROMやEEPROM等の不揮発性メモリセルトランジスタに用いられている“スタックゲートMOSFET”に適用したものである。すなわち、n型ソース/ドレイン拡散層18相互間の基板10上には、第1ゲート絶縁膜80が形成され、この第1のゲート絶縁膜80上には、浮遊ゲート82が形成されている。さらに浮遊ゲート82上には、第2ゲート絶縁膜84が形成され、この第2ゲート絶縁膜84上には、制御ゲート86が形成されている。そして、制御ゲート86の側面上から、第2ゲート絶縁膜84、浮遊ゲート82、第1ゲート絶縁膜80それぞれの側面に沿って、基板10上に、第1ゲート絶縁膜80の誘電率より高い誘電率を持つ絶縁体から成るサイドウォール88が形成されている。このサイドウォール88の直下の基板10内には、オフセット領域100が形成されている。図48～図52はそれぞれ、この発明の第8の実施例に係わるMOSFETの第2～第6の態様を示す断面図である。すなわち、図48は、第2の実施例で説明したMOSFETを、スタックゲートMOSFETとした場合の断面図である。同様に、図49は、第3の実施例で説明したMOSFETを、スタックゲートMOSFETとした場合の断面図である。図50は、第4の実施例で説明したMOSFETを、スタックゲートMOSFETとした場合の断面図である。図51は第5の実施例で説明したMOSFETを、スタックゲートMOSFETとした場合の断面図である。図52は第6の実施例で説明したMOSFETを、スタックゲートMOSFETとした場合の断面図である。

【0065】図47～52それぞれに示すMOSFETにおいても、サイドウォール88を、第1ゲート絶縁膜88を構成する絶縁体の誘電率より、高い誘電率を持つ絶縁体で構成することにより、その駆動能力を改善できる。次に、図53～図58を参照して、この発明の第9の実施例に係わるMOSFETについて説明する。図53は、この発明の第9の実施例に係わるMOSFETの第1の態様を示す断面図である。

【0066】図53に示すように、第9の実施例に係わるMOSFETは、この発明を、不揮発性メモリセルトランジスタに用いられている所謂“MNOSFET”に適用した例である。すなわち、すなわち、n型ソース/

ドレイン拡散層１８相互間の基板１０上には、シリコン酸化膜９０が形成され、このシリコン酸化膜９０上には、シリコン窒化膜９２が形成されている。これらの積層膜により、ゲート絶縁膜９３が構成される。このゲート絶縁膜９３上には、ゲート電極９４が形成されている。そして、ゲート電極９４の側面上から、ゲート絶縁膜９３の側面に沿って、基板１０上に、酸化膜／窒化膜の積層膜からなるゲート絶縁膜９３の誘電率より、高い誘電率を持つ絶縁体から成るサイドウォール９６が形成されている。このサイドウォール９６を構成する絶縁膜としては、例えばタンタル酸化膜である。図５４～図５８はそれぞれ、この発明の第９の実施例に係わるMOSFETの第２～第６の態様を示す断面図である。すなわち、図５４は、第２の実施例で説明したMOSFETを、MNOSFETとした場合の断面図である。同様に、図５５は、第３の実施例で説明したMOSFETを、MNOSFETとした場合の断面図である。図５６は、第４の実施例で説明したMOSFETを、MNOSFETとした場合の断面図である。図５７は、第５の実施例で説明したMOSFETを、MNOSFETとした場合の断面図である。図５８は、第６の実施例で説明したMOSFETを、MNOSFETとした場合の断面図である。

【００６７】図５３～５８それぞれに示す構成のMOSFETにおいても、サイドウォール９６を、積層構造ゲート絶縁膜９３の誘電率より、高い誘電率を持つ絶縁膜で構成することにより、その駆動能力を改善できる。

【００６８】上記第１～第９の実施例では、ゲート絶縁膜をシリコン酸化膜で構成し、サイドウォールをシリコン窒化膜で構成したデバイスを例とり、それぞれ説明した。しかし、この発明は、ゲート絶縁膜を構成する絶縁体の誘電率より、高い誘電率を持つ絶縁体でサイドウォールを構成すれば、その他の絶縁膜で形成されていても有効である。例えばゲート絶縁膜をシリコン酸化膜で構成した場合、サイドウォールにはシリコン窒化膜の他、タンタル酸化膜、ハフニウム酸化膜、イットリウム酸化膜等の高誘電体材料、あるいはこれらの複合膜、あるいは酸化膜とこれらの複合膜等を用いることができる。さらに非常に強い誘電率をもつ材料としてPZT膜があり、これをサイドウォールに用いることも有用である。

【００６９】また、第３の実施例で説明したサリサイド技術にあつては、シリサイド化させるための添加金属にタングステンをを用いたがモリブデン等、その他の金属を用いても良い。この添加金属には、一般に“高融点金属”と呼ばれる金属を用いることが望ましい。

【００７０】また、実施例では電流経路上において、ソース／ドレイン拡散層１８のそれぞれに対応させ、オフセット領域１００を２つ設けたが、オフセット領域１００はソース／ドレイン拡散層１８の少なくとも一方に対応させ、１つだけでも良い。この時には、そのオフセッ

ト領域１００上にはゲート絶縁膜１２より高い誘電率を有する絶縁膜を形成し、オフセット領域１００に、強い電界がかかるように構成する。その他、この発明はその主旨を逸脱しない範囲で種々変形することが可能である。

【図面の簡単な説明】

【図１】図１はこの発明の第１の実施例に係わるMOSFETの断面図である。

【図２】図２はこの発明の第１の実施例に係わるMOSFETの電界のかかりかたを説明する図である。

【図３】図３はこの発明の第１の実施例に係わるMOSFETの等価回路である。

【図４】図４はこの発明の第１の実施例に係わるMOSFETの第１の製造工程を示す断面図である。

【図５】図５はこの発明の第１の実施例に係わるMOSFETの第２の製造工程を示す断面図である。

【図６】図６はこの発明の第１の実施例に係わるMOSFETの第３の製造工程を示す断面図である。

【図７】図７はこの発明の第１の実施例に係わるMOSFETの第４の製造工程を示す断面図である。

【図８】図８はこの発明に係わるオフセットゲート構造を有するMOSFETとLDD構造を有するMOSFETとを同一基板上に形成した半導体装置の第１の製造工程を示す断面図である。

【図９】図９はこの発明に係わるオフセットゲート構造を有するMOSFETとLDD構造を有するMOSFETとを同一基板上に形成した半導体装置の第２の製造工程を示す断面図である。

【図１０】図１０はこの発明に係わるオフセットゲート構造を有するMOSFETとLDD構造を有するMOSFETとを同一基板上に形成した半導体装置の第３の製造工程を示す断面図である。

【図１１】図１１はこの発明に係わるオフセットゲート構造を有するMOSFETとLDD構造を有するMOSFETとを同一基板上に形成した半導体装置の第４の製造工程を示す断面図である。

【図１２】図１２はこの発明の第２の実施例に係わるMOSFETの断面図である。

【図１３】図１３はこの発明の第２の実施例に係わるMOSFETの第１の製造工程を示す断面図である。

【図１４】図１４はこの発明の第２の実施例に係わるMOSFETの第２の製造工程を示す断面図である。

【図１５】図１５はこの発明の第２の実施例に係わるMOSFETの第３の製造工程を示す断面図である。

【図１６】図１６はこの発明の第２の実施例に係わるMOSFETの第４の製造工程を示す断面図である。

【図１７】図１７はこの発明の第３の実施例に係わるMOSFETの断面図である。

【図１８】図１８はこの発明の第３の実施例に係わるMOSFETの第１の製造工程を示す断面図である。

【図19】図19はこの発明の第3の実施例に係わるMOSFETの第2の製造工程を示す断面図である。

【図20】図20はこの発明の第3の実施例に係わるMOSFETの第3の製造工程を示す断面図である。

【図21】図21はこの発明の第3の実施例に係わるMOSFETの第4の製造工程を示す断面図である。

【図22】図22はこの発明の第3の実施例に係わるMOSFETの第5の製造工程を示す断面図である。

【図23】図23はこの発明の第4の実施例に係わるMOSFETの断面図である。

【図24】図24はこの発明の第4の実施例に係わるMOSFETの第1の製造工程を示す断面図である。

【図25】図25はこの発明の第4の実施例に係わるMOSFETの第2の製造工程を示す断面図である。

【図26】図26はこの発明の第4の実施例に係わるMOSFETの第3の製造工程を示す断面図である。

【図27】図27はこの発明の第4の実施例に係わるMOSFETの第4の製造工程を示す断面図である。

【図28】図28はこの発明の第5の実施例に係わるMOSFETの断面図である。

【図29】図29はこの発明の第5の実施例に係わるMOSFETの第1の製造工程を示す断面図である。

【図30】図30はこの発明の第5の実施例に係わるMOSFETの第2の製造工程を示す断面図である。

【図31】図31はこの発明の第5の実施例に係わるMOSFETの第3の製造工程を示す断面図である。

【図32】図32はこの発明の第5の実施例に係わるMOSFETの第4の製造工程を示す断面図である。

【図33】図33はこの発明の第5の実施例に係わるMOSFETの第5の製造工程を示す断面図である。

【図34】図34はこの発明の第6の実施例に係わるMOSFETの断面図である。

【図35】図35はこの発明の第6の実施例に係わるMOSFETのその他の態様を示す断面図である。

【図36】図36はこの発明の第6の実施例に係わるMOSFETの第1の製造工程を示す断面図である。

【図37】図37はこの発明の第6の実施例に係わるMOSFETの第2の製造工程を示す断面図である。

【図38】図38はこの発明の第6の実施例に係わるMOSFETの第3の製造工程を示す断面図である。

【図39】図39はこの発明の第6の実施例に係わるMOSFETの第4の製造工程を示す断面図である。

【図40】図40はこの発明の第6の実施例に係わるMOSFETの第5の製造工程を示す断面図である。

【図41】図41はこの発明の第7の実施例に係わるMOSFETの第1の態様を示す断面図である。

【図42】図42はこの発明の第7の実施例に係わるMOSFETの第2の態様を示す断面図である。

【図43】図43はこの発明の第7の実施例に係わるMOSFETの第3の態様を示す断面図である。

【図44】図44はこの発明の第7の実施例に係わるMOSFETの第4の態様を示す断面図である。

【図45】図45はこの発明の第7の実施例に係わるMOSFETの第5の態様を示す断面図である。

【図46】図46はこの発明の第7の実施例に係わるMOSFETの第6の態様を示す断面図である。

【図47】図47はこの発明の第8の実施例に係わるMOSFETの第1の態様を示す断面図である。

【図48】図48はこの発明の第8の実施例に係わるMOSFETの第2の態様を示す断面図である。

【図49】図49はこの発明の第8の実施例に係わるMOSFETの第3の態様を示す断面図である。

【図50】図50はこの発明の第8の実施例に係わるMOSFETの第4の態様を示す断面図である。

【図51】図51はこの発明の第8の実施例に係わるMOSFETの第5の態様を示す断面図である。

【図52】図52はこの発明の第8の実施例に係わるMOSFETの第6の態様を示す断面図である。

【図53】図53はこの発明の第9の実施例に係わるMOSFETの第1の態様を示す断面図である。

【図54】図54はこの発明の第9の実施例に係わるMOSFETの第2の態様を示す断面図である。

【図55】図55はこの発明の第9の実施例に係わるMOSFETの第3の態様を示す断面図である。

【図56】図56はこの発明の第9の実施例に係わるMOSFETの第4の態様を示す断面図である。

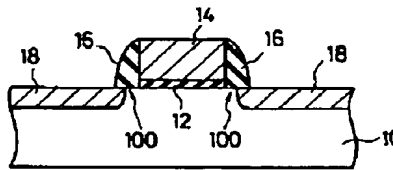
【図57】図57はこの発明の第9の実施例に係わるMOSFETの第5の態様を示す断面図である。

【図58】図58はこの発明の第9の実施例に係わるMOSFETの第6の態様を示す断面図である。

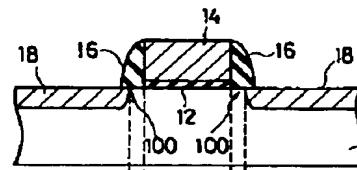
【符号の説明】

10…シリコン基板、12、12A、12B…ゲート絶縁膜、14、14A、14B…ゲート電極、16、16A、16B…サイドウォール絶縁膜、18、18A、18B…ソース／ドレイン拡散層、30…第2のサイドウォール絶縁膜、32…LDD領域、40…シリサイド層、48…薄い絶縁膜、50…薄い絶縁膜、60…ソース／ドレイン拡散層と同じ導電型の拡散層、70…サイドウォール絶縁膜、80…第1ゲート絶縁膜、82…浮遊ゲート、84…第2ゲート絶縁膜、86…制御ゲート、88…サイドウォール絶縁膜、89…第2のサイドウォール絶縁膜、90…シリコン酸化膜、92…シリコン窒化膜、93…ゲート絶縁膜、94…ゲート電極、96…サイドウォール絶縁膜、97…第2のサイドウォール絶縁膜、100…オフセット領域。

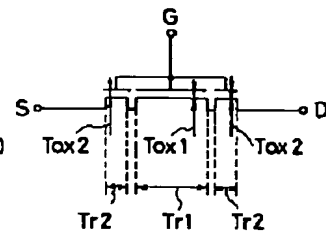
【図1】



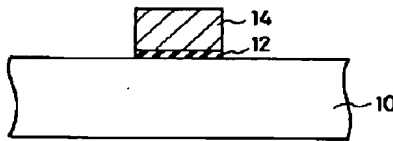
【図2】



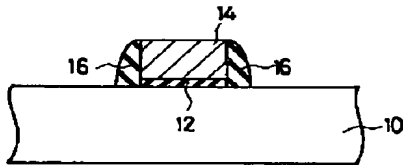
【図3】



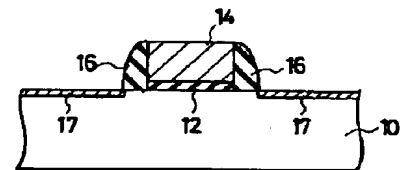
【図4】



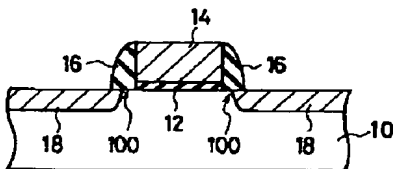
【図5】



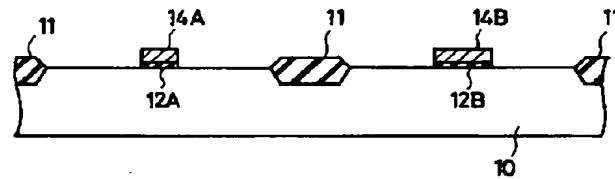
【図6】



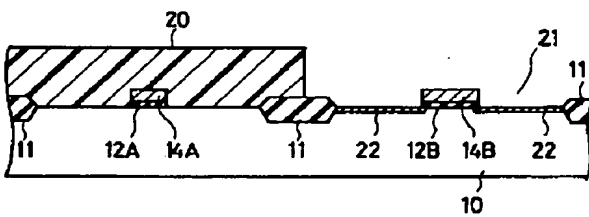
【図7】



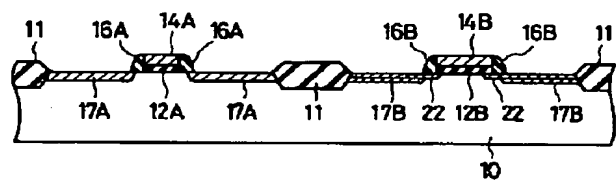
【図8】



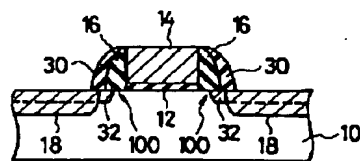
【図9】



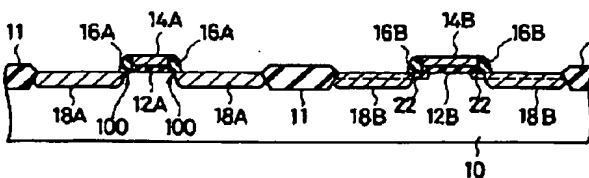
【図10】



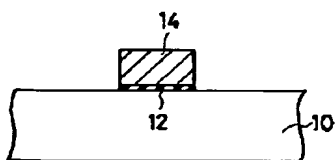
【図12】



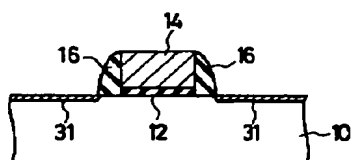
【図11】



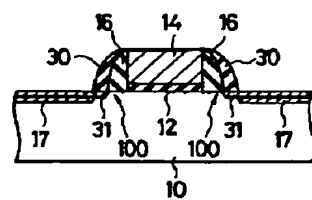
【図13】



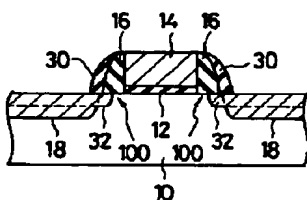
【図14】



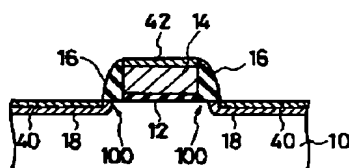
【図15】



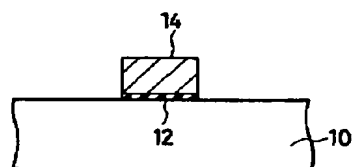
【図16】



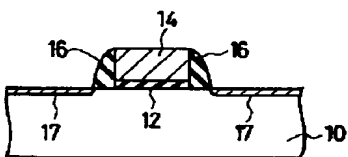
【図17】



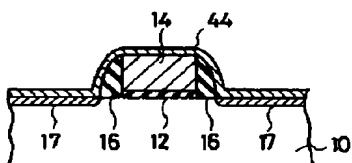
【図18】



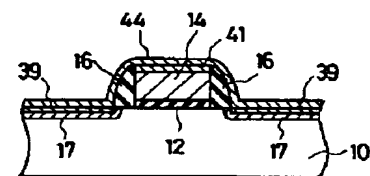
【図19】



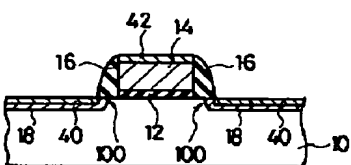
【図20】



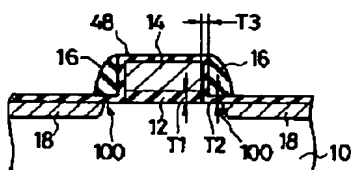
【図21】



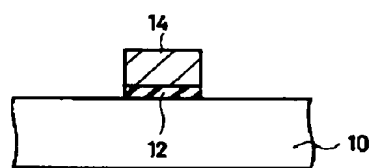
【図22】



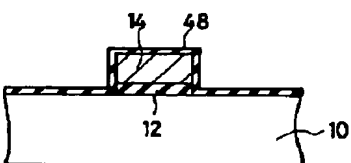
【図23】



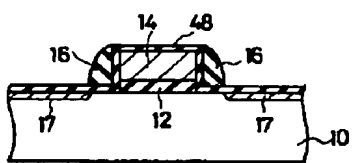
【図24】



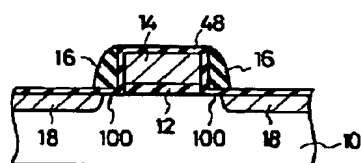
【図25】



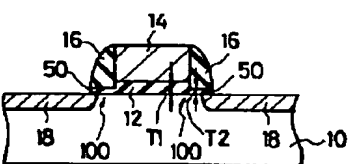
【図26】



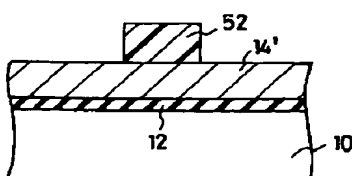
【図27】



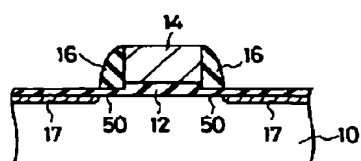
【図28】



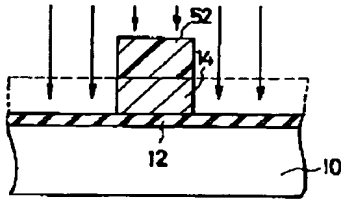
【図29】



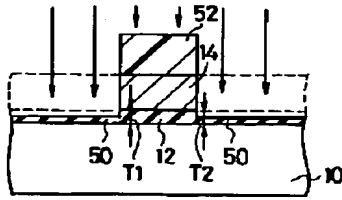
【図32】



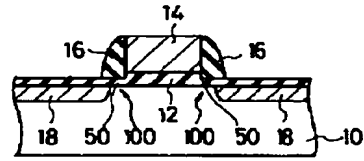
【図30】



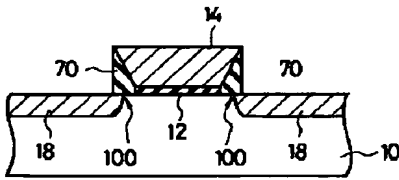
【図31】



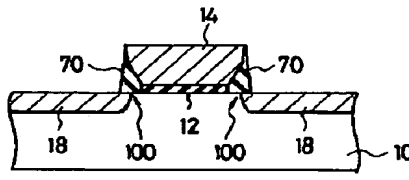
【図33】



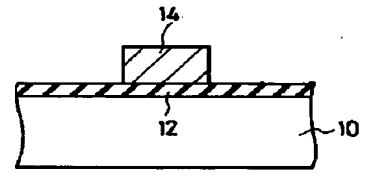
【図34】



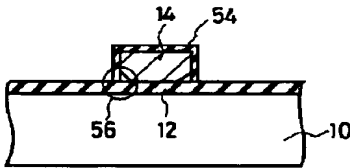
【図35】



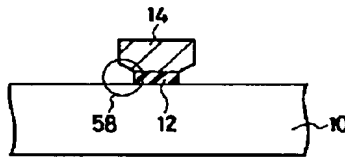
【図36】



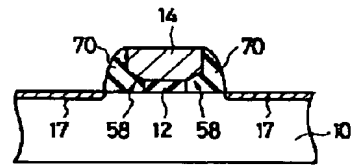
【図37】



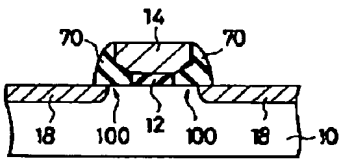
【図38】



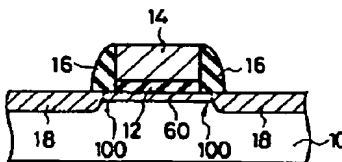
【図39】



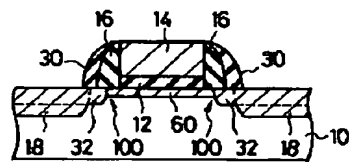
【図40】



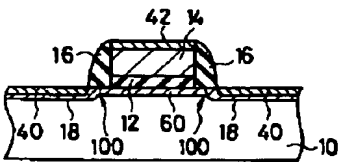
【図41】



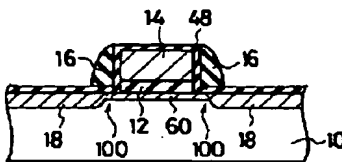
【図42】



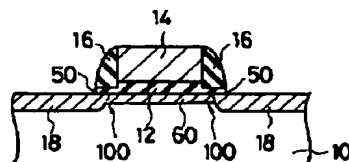
【図43】



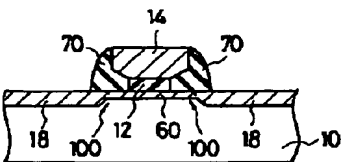
【図44】



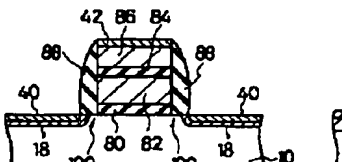
【図45】



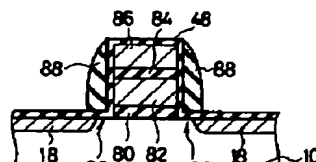
【図46】



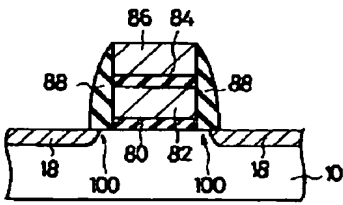
【図49】



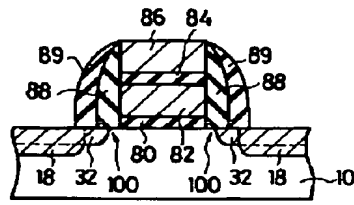
【図50】



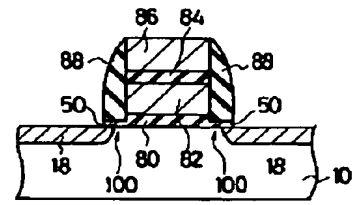
【図47】



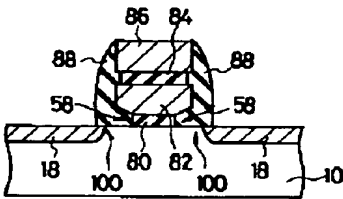
【図48】



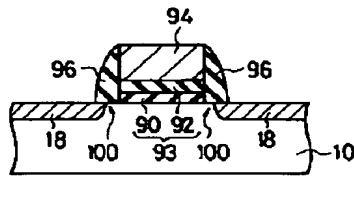
【図51】



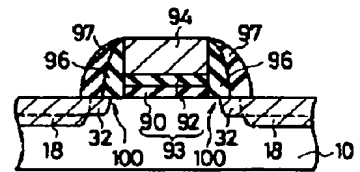
【図52】



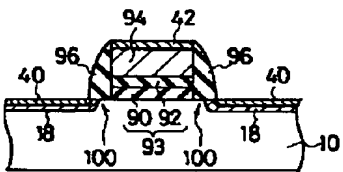
【図53】



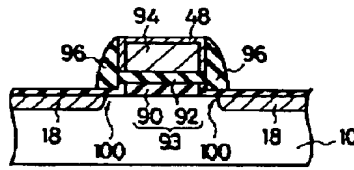
【図54】



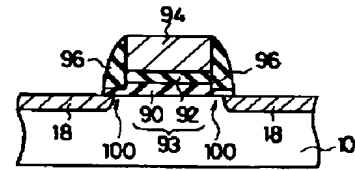
【図55】



【図56】



【図57】



【図58】

